

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297930

(43) Date of publication of application : 29.10.1999

(51)Int.Cl. H01L 27/04
H01L 21/822

(21)Application number : 10-094673 (71)Applicant : NEC IC MICROCOMPUT SYST
LTD

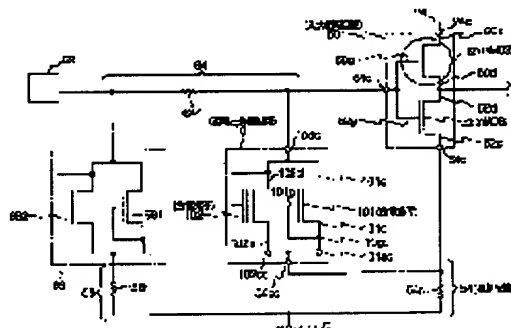
(22)Date of filing : 07.04.1998 (72)Inventor : YASUMORI KOJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To improve reliability by properly operating an overvoltage protecting circuit.

SOLUTION: In this semiconductor integrated circuit, a source electrode 52s of an nMOS transistor 52 constituting an input initial stage circuit 50 is connected with a ground wiring 54, and an overvoltage protecting circuit 10 is connected between the ground wiring transistor 52 and a gate electrode 52g of the nMOS transistor 52. A wiring resistance between the source electrode 52s and the overvoltage protecting circuit 10 is made sharply small. Therefore, the impressed voltage values at the time of the generation of an overvoltage of the nMOS transistor 52 and the overvoltage protecting circuit 10 are made the same, so that the overvoltage protecting circuit 10 can be properly operated, and the nMOS transistor 52 can be protected.



LEGAL STATUS

[Date of request for examination] 07.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2954153

[Date of registration] 16.07.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-297930 ✓

(43)公開日 平成11年(1999)10月29日

(51) Int.Cl.⁸

識別記号

FI

H O I L 27/04
21/822

H O 1 L 27/04

H

審査請求 有 請求項の数11 O.L (全 14 頁)

(21)出願番号 特願平10-94673

(22) 出題日 平成10年(1998)4月7日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会
社
神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 安森 浩司

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

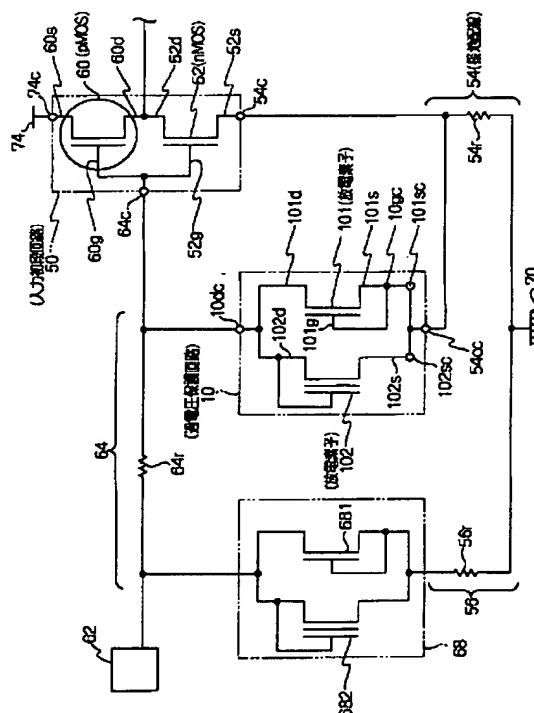
(74) 代理人 弁理士 高橋 勇

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 過電圧保護回路を適切に動作させることにより、信頼性を向上させる。

【解決手段】 本発明の半導体集積回路は、入力初段回路 50 を構成する nMOS トランジスタ 52 のソース電極 52s が接地配線 54 と接続され、接地配線 54 と nMOS トランジスタ 52 のゲート電極 52g との間に、過電圧保護回路 10 が接続されている。ソース電極 52s と過電圧保護回路 10 との間の配線抵抗は、極めて小さい。したがって、nMOS トランジスタ 52 と過電圧保護回路 10 との過電圧発生時の印加電圧値が同じになるので、過電圧保護回路 10 が適切に動作し、これにより nMOS トランジスタ 52 を保護できる。



1

【特許請求の範囲】

【請求項1】 入力配線に接続されたトランジスタが、複数の接地配線のうちのいずれか一つと接続された構造を有する半導体集積回路において、前記トランジスタが接続された前記接地配線と、前記入力配線との間に、過電圧保護回路が接続されたことを特徴とする半導体集積回路。

【請求項2】 前記複数の接地配線には、保護回路用の第一の接地配線と初段入力回路用の第二の接地配線とが含まれ、

前記トランジスタが前記第二の接地配線に接続され、前記過電圧保護回路が前記第二の接地配線と前記入力配線との間に接続された、請求項1記載の半導体集積回路。

【請求項3】 前記トランジスタが電界効果トランジスタである、請求項2記載の半導体集積回路。

【請求項4】 前記電界効果トランジスタのゲート電極が前記入力配線に接続され、前記電界効果トランジスタのソース電極が前記第二の接地配線に接続され、前記過電圧保護回路が前記第二の接地配線と前記入力配線との間に接続された、請求項3記載の半導体集積回路。

【請求項5】 前記過電圧保護回路が第一電極及び第二電極を有する二端子素子構造であり、前記第一電極が前記入力配線に接続され、前記第二電極が前記第二の接地配線に接続されるとともに電極層をパターンニングすることによって形成され、前記第一及び第二の接地配線が同じ配線層をパターンニングすることによって形成され、前記電極層の上に絶縁層を介して前記配線層が積層された、請求項4記載の半導体集積回路。

【請求項6】 前記過電圧保護回路が電界効果トランジスタ構造の放電素子からなる、請求項3、4又は5記載の半導体集積回路。

【請求項7】 前記過電圧保護回路は、ゲート電極とソース電極とが接続された電界効果トランジスタ構造の第一の放電素子と、ゲート電極のない電界効果トランジスタ構造の第二の放電素子とからなり、前記第一及び第二の放電素子は、それぞれのドレイン電極が前記入力配線に接続され、それぞれのソース電極が前記第二の接地配線に接続された、請求項4記載の半導体集積回路。

【請求項8】 前記過電圧保護回路は、ゲート電極とソース電極とが接続された電界効果トランジスタ構造の第一の放電素子と、ゲート電極のない電界効果トランジスタ構造の第二の放電素子とからなり、前記第一及び第二の放電素子は、それぞれのドレイン電極が前記第一電極であり、それぞれのソース電極が前記第二電極である、請求項5記載の半導体集積回路。

2

【請求項9】 前記電界効果トランジスタがnMOSトランジスタである、請求項3、4、5、6、7又は8記載の半導体集積回路。

【請求項10】 前記過電圧保護回路がnMOSトランジスタ構造の放電素子からなる、請求項9記載の半導体集積回路。

【請求項11】 保護回路用の第一の接地配線と初段入力回路用の第二の接地配線とが平行に延設され、前記初段入力回路を構成する電界効果トランジスタのソース電極が前記第二の接地配線に接続され、前記電界効果トランジスタのゲート電極-ソース電極間に発生する過電圧を吸収する二端子素子構造の過電圧保護回路が前記電界効果トランジスタの近傍に設けられた半導体集積回路において、前記過電圧保護回路の一方の端子が最短距離で前記第二の接地配線に接続されたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、静電気による破壊を防止する過電圧保護回路を備えた半導体集積回路に関する。

【0002】

【従来の技術】半導体集積回路は、多数の半導体デバイスからなるチップがパッケージ内に收容され、チップに電気的に接続されたピンがパッケージから突き出た構造になっている。半導体集積回路を選別、梱包、搬送又は使用する際に外部物体との接触によりチップが正又は負に帯電し、その後ピンが導電体と接触した時に、チップ→ピン→導電体という経路で静電気が放電される。このとき、チップ内では、入力初段回路の例えばnMOSトランジスタのゲート酸化膜が破壊されることがある。この現象は、「CDM(charged device model)による破壊」と呼ばれている。

【0003】CDMによる破壊を防止するには、入力初段回路における入力配線と接地配線との間の電位差をなくすようにすれば良い。そのために、入力初段回路の入力配線と接地配線との間に、電位差を吸収する過電圧保護回路を配置する。

【0004】図5は、このような従来の半導体集積回路を示す等価回路図である。以下、この図面に基づき説明する。

【0005】従来の半導体集積回路は、入力初段回路50を構成するnMOSトランジスタ52のソース電極52sが接地配線54に接続され、接地配線56とnMOSトランジスタ52のゲート電極52gとの間に過電圧保護回路58が接続されている。過電圧保護回路58は、ゲート電極581gとソース電極581sとが接続されたnMOSトランジスタ構造の放電素子581と、ゲート電極のないnMOSトランジスタ構造の放電素子

3

582とからなる。放電素子581, 582は、それぞれのドレイン電極581d, 582dがnMOSトランジスタ52のゲート電極52gに接続され、それぞれのソース電極581s, 582sがnMOSトランジスタ52のソース電極52sに接続されている。

【0006】入力初段回路50には、pMOSトランジスタ60が付設されている。nMOSトランジスタ52及びpMOSトランジスタ60のゲート電極52g, 60gと、入力パッド62とは、入力配線64で接続されている。接地配線56と入力パッド62との間には、もう一つの過電圧保護回路68が接続されている。過電圧保護回路68は、過電圧保護回路58とほぼ同じ構成で異なる大きさであり、放電素子681, 682からなる。寄生抵抗54r, 56rは、接地配線54, 56の有する抵抗値である。寄生抵抗64rは、入力配線64の有する抵抗値である。なお、過電圧保護回路68は、主として入力パッド62に印加された過電圧(ESD)に対して、nMOSトランジスタ52を保護するものである。コンタクトホール74c, 64c, 54c, 58dc, 58gc, 561c, 562c、電源配線74、接地パッド70等については後述する。

【0007】図6は、図5の半導体集積回路のチップ全体を示す平面図である。以下、図5及び図6に基づき説明する。ただし、図6において図5と同一部分は、同一符合を付すことにより重複説明を省略する。

【0008】チップ69において、接地配線54, 56, 66は、接地パッド70の近傍で互いに接続されている。したがって、寄生抵抗54rは、入力初段回路50から接地パッド70までの接地配線54の抵抗値である。寄生抵抗56rは、過電圧保護回路58から接地パッド70までの接地配線56の抵抗値である。接地配線54は入力初段回路用、接地配線56は保護回路用、接地配線66は内部セル用である。また、図示しない電源配線は、電源パッド72に接続されている。

【0009】図7は、図5の半導体集積回路における配線及び拡散層の一部を示す平面図である。以下、図5乃至図7に基づき説明する。ただし、図7において図5及び図6と同一部分は、同一符合を付すことにより重複説明を省略する。

【0010】pMOSトランジスタ60のソース電極60s及びドレイン電極60dには、ソース領域及びドレイン領域としての p^+ 層60pが形成されている。pMOSトランジスタ60の周囲には、ガードリングとしての n^+ 層60nが形成されている。nMOSトランジスタ52のソース電極52s及びドレイン電極52dには、ソース領域及びドレイン領域としての n^+ 層52nが形成されている。nMOSトランジスタ52の周囲には、ガードリングとしての p^+ 層52pが形成されている。放電素子581, 582のソース電極581s, 582s及びドレイン電極581d, 582dには、ソー

4

ス領域及びドレイン領域としての n^+ 層581n, 582nが形成されている。放電素子581, 582の周囲には、ガードリングとしての p^+ 層58pが形成されている。

【0011】電源配線74とソース電極60sとは、コンタクトホール74cによって接続されている。ドレイン電極60dとドレイン電極52dとは、互いに接続されている。接地配線54とソース電極52sとは、コンタクトホール54cによって接続されている。入力配線64とゲート電極52g, 60gとは、コンタクトホール64cによって接続されている。入力配線64とドレイン電極581d, 582dとは、互いに接続されている。接地配線56とソース電極581s, 582sとは、コンタクトホール561c, 562cによって接続されている。ソース電極581sとゲート電極581gとは、コンタクトホール58gcによって接続されている。コンタクトホール60sc, 60dc, 52sc, 52dc, 581sc, 582sc, 58dcは、各電極と各半導体層とを接続するものである。入力配線64、ソース電極60s, 52s, 581s, 582s、ドレイン電極60d, 52d, 581d, 582d等は同じ電極層をパターンニングして形成されている。接地配線54, 56、電源配線74等は同じ配線層をパターンニングして形成されている。この電極層の上に図示しない絶縁膜を介して配線層が積層されている。この絶縁膜に穿設されているのが、コンタクトホール74c, 54c, 561c, 562cである。

【0012】次に、過電圧保護回路58の動作を図5乃至図7に基づき説明する。

【0013】静電気によってチップ69が例えば正に帯電した状態で、入力パッド62に接続されているピン(図示せず)が導電体と接触したとする。すると、放電素子581, 582が導通することにより、接地配線54, 56→過電圧保護回路58→入力パッド62、という経路を通して静電気が放電される。このとき、nMOSトランジスタ52のソース電極52s-ゲート電極52g間に、過電圧が発生する。この過電圧からnMOSトランジスタ52を保護するために、過電圧保護回路58が動作する。すなわち、放電素子581, 582が導通することにより、ソース電極52s-ゲート電極52g間の過電圧を吸収する。このようにして、nMOSトランジスタ52のゲート電極酸化膜の、CDMによる破壊を防いでいる。

【0014】

【発明が解決しようとする課題】図5では、二つの過電圧保護回路58, 68が設けられている。ここで、過電圧保護回路68は主に入力パッド62に静電気等が印加された場合に働き、過電圧保護回路58はチップが帯電した場合に働く。すなわち、過電圧保護回路68はESD(electrostatic discharge

damage) 対策用であり、過電圧保護回路58は前述したCDM対策用である。したがって、図6に示すように、過電圧保護回路68は入力パッド62の近傍に配置され、過電圧保護回路58は入力初段回路50の近傍に配置される(図7参照)。このため、入力初段回路50の接地接続端であるコンタクトホール54cと、過電圧保護回路58の接地接続端であるコンタクトホール561c、562cとの間には、接地配線54の寄生抵抗54r及び接地配線56の寄生抵抗56rが存在する。したがって、入力初段回路50の接地電位と過電圧保護回路58の接地電位とは異なるものとなる。これにより、静電気の放電時に寄生抵抗54r、56rの電圧降下が発生するので、過電圧保護回路58は必ずしもソース電極52s-ゲート電極52g間電圧によって動作するとは限らない。したがって、過電圧保護回路58が適切に動作しないことがあった。

【0015】

【発明の目的】そこで、本発明の目的は、過電圧保護回路を適切に動作させることにより、信頼性を向上させた、半導体集積回路を提供することにある。

【0016】

【課題を解決するための手段】本発明に係る半導体集積回路は、入力配線に接続されたトランジスタが、複数の接地配線のうちのいずれか一つと接続された構造を有する半導体集積回路において、前記トランジスタが接続された前記接地配線と、前記入力配線との間に、過電圧保護回路が接続されたものである。トランジスタとしては、電界効果トランジスタ、バイポーラトランジスタ、静電誘導トランジスタ等が挙げられる。電界効果トランジスタとしては、nMOSトランジスタ、pMOSトランジスタ等が挙げられる。

【0017】静電気によってチップが帯電した状態で、ある入力パッドに接続されているピンが導電体と接触すると、チップ内の接地配線から入力パッドへ向けて静電気が放電される。このとき、その入力パッドに接続されている初段入力回路では、トランジスタの電極間に過電圧が発生する。この過電圧を吸収するために、過電圧保護回路が動作する。

【0018】従来技術における過電圧保護回路は、トランジスタが接続された接地配線とは異なる接地配線と入力配線との間に接続されている。そのため、トランジスタと過電圧保護回路との間には、それぞれの接地配線の抵抗値からなる寄生抵抗が接続されている状態となる。したがって、過電圧保護回路は、必ずしもトランジスタの電極間電圧によって動作するとは限らない。

【0019】これに対して、本発明における過電圧保護回路は、トランジスタが接続された接地配線と入力配線との間に接続されている。そのため、トランジスタと過電圧保護回路との間の抵抗値が極めて低い状態となる。したがって、過電圧保護回路は、トランジスタの電極間

電圧によって動作する。

【0020】換言すると、本発明に係る半導体集積回路求項は、保護回路用の第一の接地配線と初段入力回路用の第二の接地配線とが平行に延設され、前記初段入力回路を構成する電界効果トランジスタのソース電極が前記第二の接地配線に接続され、前記電界効果トランジスタのゲート電極-ソース電極間に発生する過電圧を吸収する二端子素子構造の過電圧保護回路が前記電界効果トランジスタの近傍に設けられた半導体集積回路において、前記過電圧保護回路の一方の端子が最短距離で前記第二の接地配線に接続されたことを特徴とするものである。

【0021】

【発明の実施の形態】図1は、本発明に係る半導体集積回路の一実施形態を示す等価回路図である。以下、この図面に基づき説明する。

【0022】本実施形態の半導体集積回路は、入力初段回路50を構成するnMOSトランジスタ52のソース電極52sが接地配線54と接続され、接地配線54とnMOSトランジスタ52のゲート電極52gとの間に、過電圧保護回路10が接続されている。過電圧保護回路10は、ゲート電極101gとソース電極101sとが接続されたnMOSトランジスタ構造の放電素子101と、ゲート電極のないnMOSトランジスタ構造の放電素子102とからなる。放電素子101、102は、それぞれのドレイン電極101d、102dがnMOSトランジスタ52のゲート電極52gに接続され、それぞれのソース電極101s、102sがnMOSトランジスタ52のソース電極52sに接続されている。

【0023】入力初段回路50は、pMOSトランジスタ60が付設されたインバータ回路である。nMOSトランジスタ52及びpMOSトランジスタ60のゲート電極52g、60gと、入力パッド62とは、入力配線64で接続されている。接地配線56と入力パッド62との間には、もう一つの過電圧保護回路68が接続されている。過電圧保護回路68は、放電素子681、682からなる。過電圧保護回路68におけるチャネル幅は400 μ m程度、過電圧保護回路10におけるチャネル幅は100 μ m程度である。寄生抵抗54r、56rは、接地配線54、56の有する抵抗値である。寄生抵抗64rは、入力配線64の有する抵抗値である。コンタクトホール74c、64c、54c、10dc、10gc、101sc、102sc、54cc、電源配線74、接地パッド70等については後述する。

【0024】図2は、図1の半導体集積回路のチップ全体を示す平面図である。以下、図1及び図2に基づき説明する。ただし、図2において図1と同一部分は、同一符合を付すことにより重複説明を省略する。

【0025】チップ69は中速SRAM(スタティック・ランダム・アクセス・メモリ)である。チップ69において、接地配線54、56、66は、接地パッド70の

近傍で互いに接続されている。したがって、寄生抵抗54rは、入力初段回路50から接地パッド70までの接地配線54の抵抗値である。接地配線54は入力初段回路用、接地配線56は保護回路用、接地配線66は内部セル用である。また、図示しない電源配線は、電源パッド72に接続されている。

【0026】図3は、図1の半導体集積回路における配線及び拡散層の一部を示す平面図である。以下、図1乃至図3に基づき説明する。ただし、図3において図1及び図2と同一部分は、同一符合を付すことにより重複説明を省略する。

【0027】pMOSトランジスタ60のソース電極60s及びドレイン電極60dには、ソース領域及びドレイン領域としての p^+ 層60pが形成されている。pMOSトランジスタ60の周囲には、ガードリングとしての n^+ 層60nが形成されている。nMOSトランジスタ52のソース電極52s及びドレイン電極52dには、ソース領域及びドレイン領域としての n^+ 層52nが形成されている。nMOSトランジスタ52の周囲には、ガードリングとしての p^+ 層52pが形成されている。放電素子101、102のソース電極101s、102s及びドレイン電極101d、102dには、ソース領域及びドレイン領域としての n^+ 層101n、102nが形成されている。放電素子101、102の周囲には、ガードリングとしての p^+ 層10pが形成されている。

【0028】電源配線74とソース電極60sとは、コンタクトホール74cによって接続されている。ドレイン電極60dとドレイン電極52dとは、互いに接続されている。接地配線54とソース電極52sとは、コンタクトホール54cによって接続されている。入力配線64とゲート電極52g、60gとは、コンタクトホール64cによって接続されている。入力配線64とドレイン電極101d、102dとは、互いに接続されている。接地配線54とソース電極101s、102sとは、コンタクトホール54ccによって接続されている。ソース電極101sとゲート電極101gとは、コンタクトホール10gcによって接続されている。コンタクトホール60sc、60dc、52sc、52dc、101sc、102sc、10dcは、各電極と各半導体層とを接続するものである。入力配線64、ソース電極60s、52s、101s、102s、ドレイン電極60d、52d、101d、102d等は、アルミニウムからなる同じ電極層をパターンニングして形成されている。接地配線54、56、電源配線74等は、アルミニウムからなる同じ配線層をパターンニングして形成されている。この電極層の上に図示しない絶縁膜を介して配線層が積層されている。この絶縁膜に穿設されているのが、コンタクトホール74c、54c、54ccである。

【0029】図4は放電素子101、102の電圧-電流特性を示すグラフであり、図4〔1〕は放電素子101、図4〔2〕は放電素子102である。以下、図1乃至図4に基づき、過電圧保護回路10の動作を説明する。

【0030】過電圧保護回路10は、ドレイン電極101d、102dからなる第一電極及びソース電極101s、102sからなる第二電極を有する二端子素子構造である。放電素子101は、ゲート電極101gとソース電極101sとが接続されたnMOSトランジスタ構造を有しており、ソース電極101sとドレイン電極101dとの間にnpnの半導体層が形成されている。放電素子102は、ゲート電極のないnMOSトランジスタ構造を有しており、ソース電極102sとドレイン電極102dとの間にnpnの半導体層が形成されている。図4においてドレイン電極の電圧がソース電極よりも高い場合を順方向とすると、放電素子101は、順方向電圧に対してはダイアックとして動作し、逆方向電圧に対しては負荷トランジスタとして動作する。放電素子101は、順方向電圧及び逆方向電圧に対してダイアックとして動作する。

【0031】ここで、静電気によってチップ69が帯電した状態で、入力パッド62に接続されているピン（図示せず）が導電体と接触したとする。すると、放電素子101、102が導通することにより、接地配線54→過電圧保護回路10→入力パッド62、という経路を通過して静電気が放電される。このとき、nMOSトランジスタ52のソース電極52s-ゲート電極52g間に、過電圧が発生する。この過電圧からnMOSトランジスタ52を保護するために、過電圧保護回路10が動作する。すなわち、放電素子101、102が瞬時に導通することにより、ソース電極52s-ゲート電極52g間の過電圧を吸収する。正確に言えば、図4〔1〕、

〔2〕における第三象限の特性となるので、放電素子101が先に導通し、続いて放電素子102が導通する。このようにして、nMOSトランジスタ52のゲート電極酸化膜のCDMによる破壊を防いでいる。

【0032】過電圧保護回路10は、ソース電極52sが接続された接地配線54と、ゲート電極52gとの間に接続されている。そのため、ソース電極52sと過電圧保護回路10との間は、ほぼ短絡状態となる。したがって、過電圧保護回路10は、nMOSトランジスタ52のソース電極52s-ゲート電極52g間電圧によって動作する。

【0033】

【発明の効果】本発明に係る半導体集積回路によれば、トランジスタが接続された入力配線と当該トランジスタが接続された接地配線との間に、過電圧保護回路を接続したことにより、トランジスタと過電圧保護回路との間の配線抵抗を大幅に低減できる。したがって、トランジ

スタと過電圧保護回路との過電圧発生時の印加電圧値が同じになるので、過電圧保護回路が適切に動作し、これによりトランジスタを保護できるので信頼性を向上できる。例えば、従来技術では耐電圧が400Vであったのに対して、本発明では耐電圧を約2000Vまで改善できる。また、過電圧保護回路は、電源配線、接地配線又は信号配線の下部に形成できるため、半導体集積回路のチップサイズへの影響はない。

【0034】請求項4記載の半導体集積回路によれば、入力初段回路の電界効果トランジスタのゲート電極が接続された入力配線と当該電界効果トランジスタのソース電極が接続された接地配線との間に、過電圧保護回路を接続したことにより、電界効果トランジスタのソース電極と過電圧保護回路との間の配線抵抗を大幅に低減できる。

【0035】請求項5記載の半導体集積回路によれば、過電圧保護回路が第一電極及び第二電極を有し、第一電極が入力配線に接続され、第二電極が電極層をパターンニングすることによって形成され、第一及び第二の接地配線が同じ配線層をパターンニングすることによって形成され、電極層の上に絶縁層を介して配線層が積層された半導体集積回路において、第二電極を第二の接地配線に接続することにより、電界効果トランジスタのソース電極が接続された接地配線と過電圧保護回路とを接続することができる。したがって、絶縁層にコンタクトホールを穿設するためのマスクと、電極層をパターンニングするためのマスクとを変更するだけという、簡単なプロセスの変更を従来技術に施すことによって、本発明の半導体集積回路を製造することができる。

【0036】請求項6記載の半導体集積回路によれば、過電圧保護回路が電界効果トランジスタ構造の放電素子からなるので、入力初段回路の電界効果トランジスタと同じ工程で過電圧保護回路を製造することができる。

【0037】請求項7又は8記載の半導体集積回路によれば、ゲート電極とソース電極とが接続された電界効果トランジスタ構造の第一の放電素子と、ゲート電極のない電界効果トランジスタ構造の第二の放電素子とから過電圧保護回路を構成し、第一及び第二の放電素子のドレイン電極を電界効果トランジスタのゲート電極に接続

し、第一及び第二の放電素子のソース電極を電界効果トランジスタのソース電極に接続したことにより、入力初段回路の電界効果トランジスタと同じ工程で過電圧保護回路を製造することができる。しかも、電界効果トランジスタのゲート電極・ソース電極間に過電圧が発生した場合に、第一の放電素子が動作し、続いて第二の放電素子が動作するので、より確実に過電圧保護回路を動作させることができる。したがって、上記効果と相まって信頼性をより向上できる。

10 【図面の簡単な説明】

【図1】本発明に係る半導体集積回路の一実施形態を示す等価回路図である。

【図2】図1の半導体集積回路のチップ全体を示す平面図である。

【図3】図1の半導体集積回路における配線及び拡散層の一部を示す平面図である。

【図4】図1の半導体集積回路における放電素子の電圧-電流特性を示すグラフであり、図4〔1〕は第一の放電素子、図4〔2〕は第二の放電素子である。

20 【図5】従来の半導体集積回路を示す等価回路図である。

【図6】図5の半導体集積回路のチップ全体を示す平面図である。

【図7】図5の半導体集積回路における配線及び拡散層の一部を示す平面図である。

【符号の説明】

10 過電圧保護回路

101 第一の放電素子

101d 第一の放電素子のドレイン電極

30 101g 第一の放電素子のゲート電極

101s 第一の放電素子のソース電極

102 第二の放電素子

102d 第二の放電素子のドレイン電極

102s 第二の放電素子のソース電極

50 入力初段回路

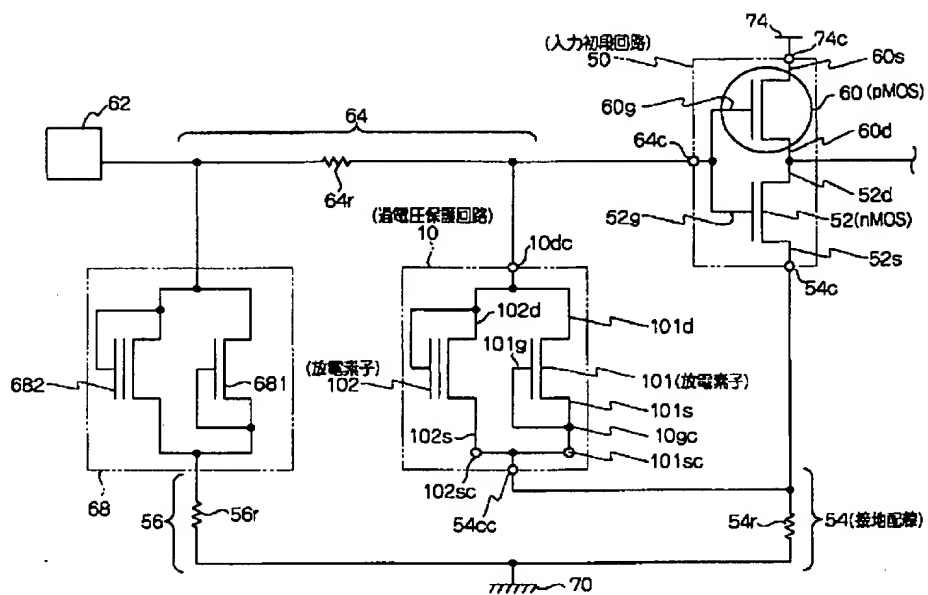
52 nMOSトランジスタ

52g nMOSトランジスタのゲート電極

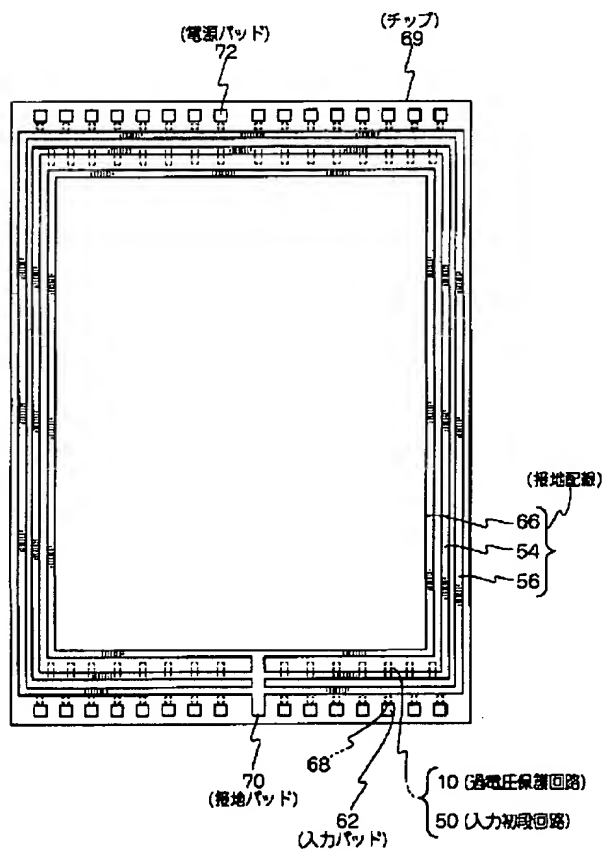
52s nMOSトランジスタのソース電極

54 接地配線

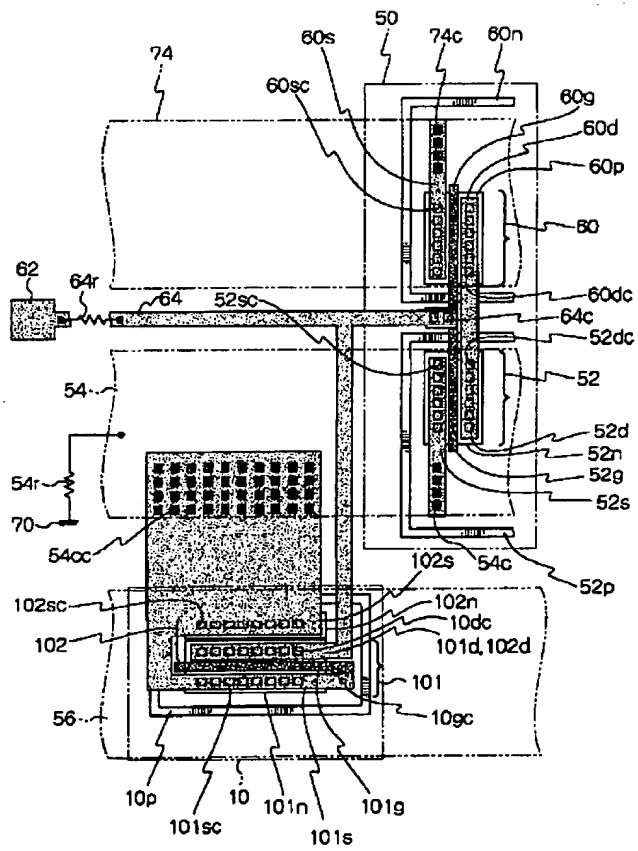
【図 1】



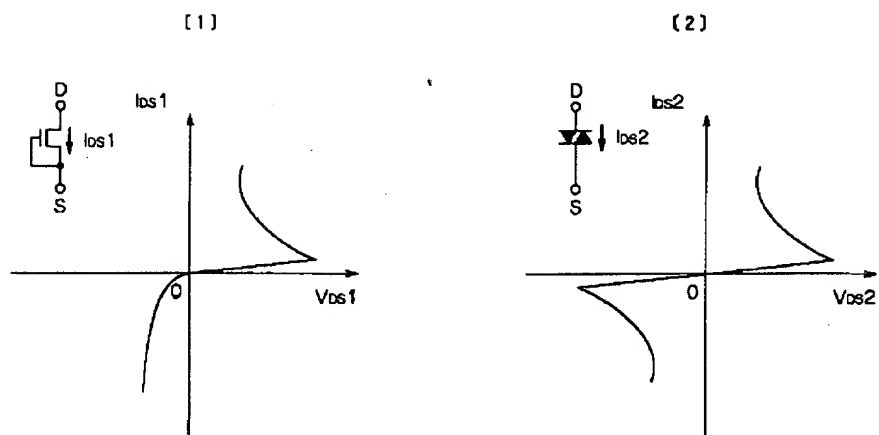
【图 2】



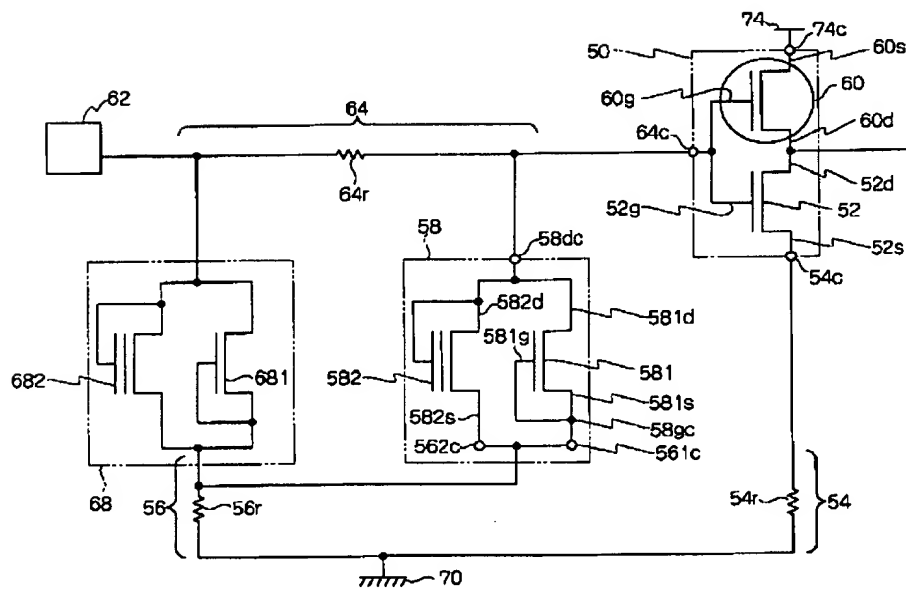
【図 3】



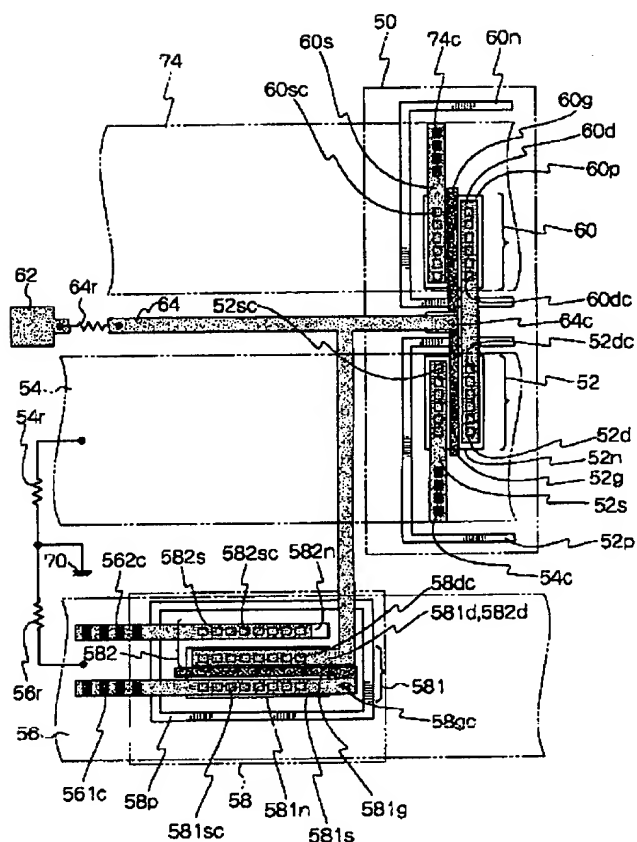
【図4】



【図5】



【图 7】



【請求項 5】 前記過電圧保護回路が第一電極及び第二電極を有する二端子素子構造であり、前記第一電極が前記入力配線に接続され、前記第二電極が前記第二の接地配線に接続されるとともに電極層をパターニングすることによって形成され、前記第一及び第二の接地配線が同じ配線層をパターニングすることによって形成され、前記電極層の上に絶縁層を介して前記配線層が覆層された、

請求項 4 記載の半導体集積回路。

【請求項6】 前記過電圧保護回路が電界効果トランジスタ構造の放電素子からなる、

請求項3、4又は5記載の半導体集積回路。

【請求項7】 前記過電圧保護回路は、ゲート電極とソース電極とが接続された電界効果トランジスタ構造の第一の放電素子と、ゲート電極のない電界効果トランジスタ構造の第二の放電素子とからなり、

前記第一及び第二の放電素子は、それぞれのドレイン電極が前記入力配線に接続され、それぞれのソース電極が前記第二の接地配線に接続された、

請求項4記載の半導体集積回路。

【請求項8】 前記過電圧保護回路は、ゲート電極とソース電極とが接続された電界効果トランジスタ構造の第一の放電素子と、ゲート電極のない電界効果トランジスタ構造の第二の放電素子とからなり、

前記第一及び第二の放電素子は、それぞれのドレイン電極が前記第一電極であり、それぞれのソース電極が前記第二電極である、

請求項5記載の半導体集積回路。

【請求項9】 前記電界効果トランジスタがnMOSトランジスタである、請求項3、4、5、6、7又は8記載の半導体集積回路。

【請求項10】 前記過電圧保護回路がnMOSトランジスタ構造の放電素子からなる、

請求項9記載の半導体集積回路。

【請求項11】 保護回路用の第一の接地配線と入力初段回路用の第二の接地配線とが平行に延設され、前記入力初段回路を構成する電界効果トランジスタのソース電極が前記第二の接地配線に接続され、前記電界効果トランジスタのゲート電極-ソース電極間に発生する過電圧を吸収する二端子素子構造の過電圧保護回路が前記電界効果トランジスタの近傍に設けられた半導体集積回路であって、

前記過電圧保護回路の一方の端子が最短距離で前記第二の接地配線に接続されたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、静電気による破壊を防止する過電圧保護回路を備えた半導体集積回路に関する。

【0002】

【従来の技術】半導体集積回路は、多数の半導体デバイスからなるチップがパッケージ内に収容され、チップに電気的に接続されたピンがパッケージから突き出た構造になっている。半導体集積回路を選別、梱包、搬送又は使用する際に外部物体との接触によりチップが正又は負に帯電し、その後ピンが導電体と接触した時に、チップ→ピン→導電体という経路で静電気が放電される。このとき、チップ内では、入力初段回路の例えばnMOSト

ランジスタのゲート酸化膜が破壊されることがある。この現象は、「CDM(charged device model)による破壊」と呼ばれている。

【0003】CDMによる破壊を防止するには、入力初段回路における入力配線と接地配線との間の電位差をなくすようにすれば良い。そのために、入力初段回路の入力配線と接地配線との間に、電位差を吸収する過電圧保護回路を配置する。

【0004】図5は、このような従来の半導体集積回路を示す等価回路図である。以下、この図面に基づき説明する。

【0005】従来の半導体集積回路は、入力初段回路50を構成するnMOSトランジスタ52のソース電極52sが接地配線54に接続され、接地配線56とnMOSトランジスタ52のゲート電極52gとの間に過電圧保護回路58が接続されている。過電圧保護回路58は、ゲート電極581gとソース電極581sとが接続されたnMOSトランジスタ構造の放電素子581と、ゲート電極のないnMOSトランジスタ構造の放電素子582とからなる。放電素子581、582は、それぞれのドレイン電極581d、582dがnMOSトランジスタ52のゲート電極52gに接続され、それぞれのソース電極581s、582sがnMOSトランジスタ52のソース電極52sに接続されている。

【0006】入力初段回路50には、pMOSトランジスタ60が付設されている。nMOSトランジスタ52及びpMOSトランジスタ60のゲート電極52g、60gと、入力パッド62とは、入力配線64で接続されている。接地配線56と入力パッド62との間には、もう一つの過電圧保護回路68が接続されている。過電圧保護回路68は、過電圧保護回路58とほぼ同じ構成で異なる大きさであり、放電素子681、682からなる。寄生抵抗54r、56rは、接地配線54、56の有する抵抗値である。寄生抵抗64rは、入力配線64の有する抵抗値である。なお、過電圧保護回路68は、主として入力パッド62に印加された過電圧(ESD)に対して、nMOSトランジスタ52を保護するものである。コンタクトホール74c、64c、54c、58dc、58gc、561c、562c、電源配線74、接地パッド70等については後述する。

【0007】図6は、図5の半導体集積回路のチップ全体を示す平面図である。以下、図5及び図6に基づき説明する。ただし、図6において図5と同一部分は、同一符合を付すことにより重複説明を省略する。

【0008】チップ69において、接地配線54、56、66は、接地パッド70の近傍で互いに接続されている。したがって、寄生抵抗54rは、入力初段回路50から接地パッド70までの接地配線54の抵抗値である。寄生抵抗56rは、過電圧保護回路58から接地パッド70までの接地配線56の抵抗値である。接地配線

54は入力初段回路用、接地配線56は保護回路用、接地配線66は内部セル用である。また、図示しない電源配線は、電源パッド72に接続されている。

【0009】図7は、図5の半導体集積回路における配線及び拡散層の一部を示す平面図である。以下、図5乃至図7に基づき説明する。ただし、図7において図5及び図6と同一部分は、同一符号を付すことにより重複説明を省略する。

【0010】pMOSトランジスタ60のソース電極60s及びドレイン電極60dには、ソース領域及びドレイン領域としての p^+ 層60pが形成されている。pMOSトランジスタ60の周囲には、ガードリングとしての n^+ 層60nが形成されている。nMOSトランジスタ52のソース電極52s及びドレイン電極52dには、ソース領域及びドレイン領域としての n^+ 層52nが形成されている。nMOSトランジスタ52の周囲には、ガードリングとしての p^+ 層52pが形成されている。放電素子581、582のソース電極581s、582s及びドレイン電極581d、582dには、ソース領域及びドレイン領域としての n^+ 層581n、582nが形成されている。放電素子581、582の周囲には、ガードリングとしての p^+ 層58pが形成されている。

【0011】電源配線74とソース電極60sとは、コンタクトホール74cによって接続されている。ドレイン電極60dとドレイン電極52dとは、互いに接続されている。接地配線54とソース電極52sとは、コンタクトホール54cによって接続されている。入力配線64とゲート電極52g、60gとは、コンタクトホール64cによって接続されている。入力配線64とドレイン電極581d、582dとは、互いに接続されている。接地配線56とソース電極581s、582sとは、コンタクトホール561c、562cによって接続されている。ソース電極581sとゲート電極581gとは、コンタクトホール58gcによって接続されている。コンタクトホール60sc、60dc、52sc、52dc、581sc、582sc、58dcは、各電極と各半導体層とを接続するものである。入力配線64、ソース電極60s、52s、581s、582s、ドレイン電極60d、52d、581d、582d等は同じ電極層をパターンニングして形成されている。接地配線54、56、電源配線74等は同じ配線層をパターンニングして形成されている。この電極層の上に図示しない絶縁膜を介して配線層が積層されている。この絶縁膜に穿設されているのが、コンタクトホール74c、54c、561c、562cである。

【0012】次に、過電圧保護回路58の動作を図5乃至図7に基づき説明する。

【0013】静電気によってチップ69が例えば正に帯電した状態で、入力パッド62に接続されているピン

(図示せず)が導電体と接触したとする。すると、放電素子581、582が導通することにより、接地配線54、56→過電圧保護回路58→入力パッド62、という経路を通して静電気が放電される。このとき、nMOSトランジスタ52のソース電極52s-ゲート電極52g間に、過電圧が発生する。この過電圧からnMOSトランジスタ52を保護するために、過電圧保護回路58が動作する。すなわち、放電素子581、582が導通することにより、ソース電極52s-ゲート電極52g間の過電圧を吸収する。このようにして、nMOSトランジスタ52のゲート電極酸化膜の、CDMによる破壊を防いでいる。

【0014】

【発明が解決しようとする課題】図5では、二つの過電圧保護回路58、68が設けられている。ここで、過電圧保護回路68は主に入力パッド62に静電気等が印加された場合に働き、過電圧保護回路58はチップが帯電した場合に働く。すなわち、過電圧保護回路68はESD (electrostatic discharge damage) 対策用であり、過電圧保護回路58は前述したCDM対策用である。したがって、図6に示すように、過電圧保護回路68は入力パッド62の近傍に配置され、過電圧保護回路58は入力初段回路50の近傍に配置される(図7参照)。このため、入力初段回路50の接地接続端であるコンタクトホール54cと、過電圧保護回路58の接地接続端であるコンタクトホール561c、562cとの間には、接地配線54の寄生抵抗54r及び接地配線56の寄生抵抗56rが存在する。したがって、入力初段回路50の接地電位と過電圧保護回路58の接地電位とは異なるものとなる。これにより、静電気の放電時に寄生抵抗54r、56rの電圧降下が発生するので、過電圧保護回路58は必ずしもソース電極52s-ゲート電極52g間電圧によって動作するとは限らない。したがって、過電圧保護回路58が適切に動作しないことがあった。

【0015】

【発明の目的】そこで、本発明の目的は、過電圧保護回路を適切に動作させることにより、信頼性を向上させた、半導体集積回路を提供することにある。

【0016】

【課題を解決するための手段】本発明に係る半導体集積回路は、入力配線に接続された入力初段回路のトランジスタが、複数の接地配線のうちのいずれか一つと接続された構造を有する半導体集積回路において、前記トランジスタが接続された前記接地配線と、前記入力配線との間に、内部帯電による静電気を逃がす過電圧保護回路が接続されたものである。トランジスタとしては、電界効果トランジスタ、バイポーラトランジスタ、静電誘導トランジスタ等が挙げられる。電界効果トランジスタとしては、nMOSトランジスタ、pMOSトランジスタ等

が挙げられる。

【0017】静電気によってチップが帯電した状態で、ある入力パッドに接続されているピンが導電体と接触すると、チップ内の接地配線から入力パッドへ向けて静電気が放電される。このとき、その入力パッドに接続されている入力初段回路では、トランジスタの電極間に過電圧が発生する。この過電圧を吸収するために、過電圧保護回路が動作する。

【0018】従来技術における過電圧保護回路は、トランジスタが接続された接地配線とは異なる接地配線と入力配線との間に接続されている。そのため、トランジスタと過電圧保護回路との間には、それぞれの接地配線の抵抗値からなる寄生抵抗が接続されている状態となる。したがって、過電圧保護回路は、必ずしもトランジスタの電極間電圧によって動作するとは限らない。

【0019】これに対して、本発明における過電圧保護回路は、トランジスタが接続された接地配線と入力配線との間に接続されている。そのため、トランジスタと過電圧保護回路との間の抵抗値が極めて低い状態となる。したがって、過電圧保護回路は、トランジスタの電極間電圧によって動作する。

【0020】換言すると、本発明に係る半導体集積回路求項は、保護回路用の第一の接地配線と入力初段回路用の第二の接地配線とが平行に延設され、前記入力初段回路を構成する電界効果トランジスタのソース電極が前記第二の接地配線に接続され、前記電界効果トランジスタのゲート電極—ソース電極間に発生する過電圧を吸収する二端子素子構造の過電圧保護回路が前記電界効果トランジスタの近傍に設けられた半導体集積回路において、前記過電圧保護回路の一方の端子が最短距離で前記第二の接地配線に接続されたことを特徴とするものである。

【0021】

【発明の実施の形態】図1は、本発明に係る半導体集積回路の一実施形態を示す等価回路図である。以下、この図面にに基づき説明する。

【0022】本実施形態の半導体集積回路は、入力初段回路50を構成するnMOSトランジスタ52のソース電極52sが接地配線54と接続され、接地配線54とnMOSトランジスタ52のゲート電極52gとの間に、過電圧保護回路10が接続されている。過電圧保護回路10は、ゲート電極101gとソース電極101sとが接続されたnMOSトランジスタ構造の放電素子101と、ゲート電極のないnMOSトランジスタ構造の放電素子102とからなる。放電素子101、102は、それぞれのドレイン電極101d、102dがnMOSトランジスタ52のゲート電極52gに接続され、それぞれのソース電極101s、102sがnMOSトランジスタ52のソース電極52sに接続されている。

【0023】入力初段回路50は、pMOSトランジスタ60が付設されたインバータ回路である。nMOSト

ランジスタ52及びpMOSトランジスタ60のゲート電極52g、60gと、入力パッド62とは、入力配線64で接続されている。接地配線56と入力パッド62との間には、もう一つの過電圧保護回路68が接続されている。過電圧保護回路68は、放電素子681、682からなる。過電圧保護回路68におけるチャネル幅は400 μ m程度、過電圧保護回路10におけるチャネル幅は100 μ m程度である。寄生抵抗54r、56rは、接地配線54、56の有する抵抗値である。寄生抵抗64rは、入力配線64の有する抵抗値である。コンタクトホール74c、64c、54c、10dc、10gc、101sc、102sc、54cc、電源配線74、接地パッド70等については後述する。

【0024】図2は、図1の半導体集積回路のチップ全体を示す平面図である。以下、図1及び図2に基づき説明する。ただし、図2において図1と同一部分は、同一符合を付すことにより重複説明を省略する。

【0025】チップ69は中速SRAM（スタティック・ランダム・アクセス・メモリ）である。チップ69において、接地配線54、56、66は、接地パッド70の近傍で互いに接続されている。したがって、寄生抵抗54rは、入力初段回路50から接地パッド70までの接地配線54の抵抗値である。接地配線54は入力初段回路用、接地配線56は保護回路用、接地配線66は内部セル用である。また、図示しない電源配線は、電源パッド72に接続されている。

【0026】図3は、図1の半導体集積回路における配線及び拡散層の一部を示す平面図である。以下、図1乃至図3に基づき説明する。ただし、図3において図1及び図2と同一部分は、同一符合を付すことにより重複説明を省略する。

【0027】pMOSトランジスタ60のソース電極60s及びドレイン電極60dには、ソース領域及びドレイン領域としてのp⁺層60pが形成されている。pMOSトランジスタ60の周囲には、ガードリングとしてのn⁺層60nが形成されている。nMOSトランジスタ52のソース電極52s及びドレイン電極52dには、ソース領域及びドレイン領域としてのn⁺層52nが形成されている。nMOSトランジスタ52の周囲には、ガードリングとしてのp⁺層52pが形成されている。放電素子101、102のソース電極101s、102s及びドレイン電極101d、102dには、ソース領域及びドレイン領域としてのn⁺層101n、102nが形成されている。放電素子101、102の周囲には、ガードリングとしてのp⁺層10pが形成されている。

【0028】電源配線74とソース電極60sとは、コンタクトホール74cによって接続されている。ドレイン電極60dとドレイン電極52dとは、互いに接続されている。接地配線54とソース電極52sとは、コン

タクトホール54cによって接続されている。入力配線64とゲート電極52g、60gとは、コンタクトホール64cによって接続されている。入力配線64とドレイン電極101d、102dとは、互いに接続されている。接地配線54とソース電極101s、102sとは、コンタクトホール54ccによって接続されている。ソース電極101sとゲート電極101gとは、コンタクトホール10gcによって接続されている。コンタクトホール60sc、60dc、52sc、52dc、101sc、102sc、10dcは、各電極と各半導体層とを接続するものである。入力配線64、ソース電極60s、52s、101s、102s、ドレイン電極60d、52d、101d、102d等は、アルミニウムからなる同じ電極層をパターンニングして形成されている。接地配線54、56、電源配線74等は、アルミニウムからなる同じ配線層をパターンニングして形成されている。この電極層の上に図示しない絶縁膜を介して配線層が積層されている。この絶縁膜に穿設されているのが、コンタクトホール74c、54c、54ccである。

【0029】図4は放電素子101、102の電圧-電流特性を示すグラフであり、図4〔1〕は放電素子101、図4〔2〕は放電素子102である。以下、図1乃至図4に基づき、過電圧保護回路10の動作を説明する。

【0030】過電圧保護回路10は、ドレイン電極101d、102dからなる第一電極及びソース電極101s、102sからなる第二電極を有する二端子素子構造である。放電素子101は、ゲート電極101gとソース電極101sとが接続されたnMOSトランジスタ構造を有しており、ソース電極101sとドレイン電極101dとの間にnpnの半導体層が形成されている。放電素子102は、ゲート電極のないnMOSトランジスタ構造を有しており、ソース電極102sとドレイン電極102dとの間にnpnの半導体層が形成されている。図4においてドレイン電極の電圧がソース電極よりも高い場合を順方向とすると、放電素子101は、順方向電圧に対してはダイアックとして動作し、逆方向電圧に対しては負荷トランジスタとして動作する。放電素子101は、順方向電圧及び逆方向電圧に対してダイアックとして動作する。

【0031】ここで、静電気によってチップ69が帯電した状態で、入力パッド62に接続されているピン（図示せず）が導電体と接触したとする。すると、放電素子101、102が導通することにより、接地配線54→過電圧保護回路10→入力パッド62、という経路を通過して静電気が放電される。このとき、nMOSトランジスタ52のソース電極52s-ゲート電極52g間に、過電圧が発生する。この過電圧からnMOSトランジスタ52を保護するために、過電圧保護回路10が動作す

る。すなわち、放電素子101、102が瞬時に導通することにより、ソース電極52s-ゲート電極52g間の過電圧を吸収する。正確に言えば、図4〔1〕、

〔2〕における第三象限の特性となるので、放電素子101が先に導通し、続いて放電素子102が導通する。このようにして、nMOSトランジスタ52のゲート電極酸化膜のCDMによる破壊を防いでいる。

【0032】過電圧保護回路10は、ソース電極52sが接続された接地配線54と、ゲート電極52gとの間に接続されている。そのため、ソース電極52sと過電圧保護回路10との間は、ほぼ短絡状態となる。したがって、過電圧保護回路10は、nMOSトランジスタ52のソース電極52s-ゲート電極52g間電圧によって動作する。

【0033】

【発明の効果】本発明に係る半導体集積回路によれば、入力初段回路のトランジスタが接続された入力配線と当該トランジスタが接続された接地配線との間に、内部帯電による静電気を逃がす過電圧保護回路を接続したことにより、トランジスタと過電圧保護回路との間の配線抵抗を大幅に低減できる。したがって、トランジスタと過電圧保護回路との過電圧発生時の印加電圧値が同じになるので、過電圧保護回路が適切に動作し、これによりトランジスタを保護できるので信頼性を向上できる。例えば、従来技術では耐電圧が400Vであったのに対して、本発明では耐電圧を約2000Vまで改善できる。また、過電圧保護回路は、電源配線、接地配線又は信号配線の下部に形成できるため、半導体集積回路のチップサイズへの影響はない。

【0034】請求項4記載の半導体集積回路によれば、入力初段回路の電界効果トランジスタのゲート電極が接続された入力配線と当該電界効果トランジスタのソース電極が接続された接地配線との間に、過電圧保護回路を接続したことにより、電界効果トランジスタのソース電極と過電圧保護回路との間の配線抵抗を大幅に低減できる。

【0035】請求項5記載の半導体集積回路によれば、過電圧保護回路が第一電極及び第二電極を有し、第一電極が入力配線に接続され、第二電極が電極層をパターンニングすることによって形成され、第一及び第二の接地配線が同じ配線層をパターンニングすることによって形成され、電極層の上に絶縁層を介して配線層が積層された半導体集積回路において、第二電極を第二の接地配線に接続することにより、電界効果トランジスタのソース電極が接続された接地配線と過電圧保護回路とを接続することができる。したがって、絶縁層にコンタクトホールを穿設するためのマスクと、電極層をパターンニングするためのマスクとを変更するだけという、簡単なプロセスの変更を従来技術に施すことによって、本発明の半導体集積回路を製造することができる。

【0036】請求項6記載の半導体集積回路によれば、過電圧保護回路が電界効果トランジスタ構造の放電素子からなるので、入力初段回路の電界効果トランジスタと同じ工程で過電圧保護回路を製造することができる。

【0037】請求項7又は8記載の半導体集積回路によれば、ゲート電極とソース電極とが接続された電界効果トランジスタ構造の第一の放電素子と、ゲート電極のない電界効果トランジスタ構造の第二の放電素子とから過電圧保護回路を構成し、第一及び第二の放電素子のドレイン電極を電界効果トランジスタのゲート電極に接続し、第一及び第二の放電素子のソース電極を電界効果トランジスタのソース電極に接続したことにより、入力初段回路の電界効果トランジスタと同じ工程で過電圧保護回路を製造することができる。しかも、電界効果トランジスタのゲート電極・ソース電極間に過電圧が発生した場合に、第一の放電素子が動作し、続いて第二の放電素子が動作するので、より確実に過電圧保護回路を動作させることができる。したがって、上記効果と相まって信頼性をより向上できる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路の一実施形態を示す等価回路図である。

【図2】図1の半導体集積回路のチップ全体を示す平面図である。

【図3】図1の半導体集積回路における配線及び拡散層

の一部を示す平面図である。

【図4】図1の半導体集積回路における放電素子の電圧-電流特性を示すグラフであり、図4〔1〕は第一の放電素子、図4〔2〕は第二の放電素子である。

【図5】従来の半導体集積回路を示す等価回路図である。

【図6】図5の半導体集積回路のチップ全体を示す平面図である。

【図7】図5の半導体集積回路における配線及び拡散層の一部を示す平面図である。

【符号の説明】

- 10 過電圧保護回路
- 101 第一の放電素子
- 101d 第一の放電素子のドレイン電極
- 101g 第一の放電素子のゲート電極
- 101s 第一の放電素子のソース電極
- 102 第二の放電素子
- 102d 第二の放電素子のドレイン電極
- 102s 第二の放電素子のソース電極
- 50 入力初段回路
- 52 nMOSトランジスタ
- 52g nMOSトランジスタのゲート電極
- 52s nMOSトランジスタのソース電極
- 54 接地配線